

W nawiązaniu do Zaproszenia do składania ofert dotyczące wyboru podwykonawcy dla realizacji zadań w projekcie „SAT2Rescue” Konkurs Ofert nr 17/2025 do Zamawiającego wpłynęły następujące pytania.

➤ **Pytanie 1**

W nawiązaniu do Państwa konkursu przetargowego (Konkurs Ofert nr 17/2025) chciałbym zapytać czy możliwe jest modyfikacja wymagań przetargowych. Chodzi konkretnie o wymóg 5.1.4. dotyczący 3 specjalistów, z których każdy ma posiadać pełen zakres kompetencji (w tym punkt "b" zrealizowane przynajmniej 2 projekty na platformie Xilinx RFSoc).

UZASADNIENIE

Nie jestem pewny, czy są w Polsce jakiekolwiek firmy, które są w stanie spełnić takie wymogi. Wzór oferty oczekuje inżynierów specjalistów z pełną ścieżką projektowania i implementacji od zera do bohatera. Tak się nie działa w wysokich specjalnościach --- dzieli się te kompetencje obszarowo np.: software, FPGA, DSP, RF. W taki sposób działają firmy Nokia i Ericsson, które aktywnie wykorzystują takie platformy RFSoc przy rozwijaniu technologii 5G i 6G.

Platforma RFSoc jest platformą wysoce niszową. Na podstawie mojego blisko 20-letniego doświadczenia, licznych kontaktów i znajomości rynku FPGA w tej części świata, zebranie takiego zespołu jest praktycznie nieosiągalne.

W nawiązaniu do punktu 1.2 opisującego etapy prac, taki zakres nie jest możliwy do zrealizowania wyłącznie przez specjalistów z zakresu FPGA (określonych w punkcie 5.1.4). Określonymu zakresowi zadań dużo bardziej odpowiada zespół składający się z 3 specjalistów o różnych specjalnościach:

- 1 inżynier RF/DSP - rozumiejący zagadnienia timingowe (dotyczące komunikacji), przetwarzanie sygnałów, tory nadawcze i odbiorcze, itp.
- 1 inżynier FPGA/SoC - potrafiący to zaimplementować i uruchomić w układzie FPGA/SoC
- 1 inżynier programista systemów wbudowanych - potrafiący obsłużyć zagadnienia software'owe typu: sterowniki (np. PCIe), aplikacje, komunikacja z FPGA, itp.

Zamawiający poprosił o doprecyzowanie nadesłanego zapytania wysyłając odpowiedź jak niżej:

„W korespondencji proszę Państwo o modyfikację wymagań, ale nie jest zaproponowana treść na co ma być zmienione wymaganie.

Czy mogę prosić aby zaproponował Pan dokładnie zakres zmiany w dokumentacji konkursu poprzez dodanie komentarza z propozycją.

W ten sposób będzie nam łatwiej odnieść się do konkretnej prośby”.

Do Zamawiającego wpłynęła odpowiedź doprecyzująca do Pytania 1:

W zaproszeniu do składania ofert, proponowana jest zmiana:

CAŁE BRZMIENIE

3.1.1.4. Oświadczenie zgodnie z Formularzem Oferty stanowiącym załącznik nr 2 do Zaproszenia, że Oferent dysponuje niezbędnym potencjałem i kadrą zdolną do wykonania zamówienia tj. są w stanie zapewnić adekwatny zespół wykonawczy, który posiada udokumentowane kwalifikacje zawodowe i doświadczenie z praktycznych wdrożeń analogicznych projektów w zakresie zgodnym i/lub równoważnym do zadań stanowiących Przedmiot Zamówienia, i tym samym będą w stanie oddelegować do realizacji zamówienia co najmniej 3 specjalistów, gdzie łącznie zespół będzie spełniał poniższe wymagania:

- a) Każdy specjalista posiada wykształcenie wyższe techniczne (preferowane kierunki: elektronika, elektrotechnika, informatyka, automatyka).

b) Inżynier FPGA posiada co najmniej 10 lat doświadczenia z FPGA Xilinx.

Inżynier oprogramowania (SoC/Arm/x86) posiada co najmniej 5 lat doświadczenia.

c) Zrealizowany przynajmniej 1 projekt na platformie RFSoc Xilinx i potwierdzony referencjami.

d) Znajomość protokołów sieciowych TCP, UDP oraz doświadczenie w tworzeniu aplikacji sieciowych na Linux ARM/x86.

e) Znajomość narzędzi deweloperskich i diagnostycznych Xilinx.

f) Doświadczenie w integracji FPGA z PC oraz oprogramowaniu PCIe.

KONIEC CAŁEGO BRZMIENIA

ZMIANY WZGLĘDEM ORYGINALNEJ WERSJI:

usuwamy

"spośród których każdy z nich będzie spełniać poniższe wymagania:"

wstawiamy

"gdzie łącznie zespół będzie spełniał poniższe wymagania:"

Chodzi o kompetencja całego zespołu.

a) Doszczegółowienie, że wymóg dotyczy każdego specjalisty --- wynika ze zmiany (powyżej) we wprowadzeniu do wypunktowania cech.

b) Doświadczenie inżyniera FPGA dla układu RFSoc na poziomie 5 lat jest wysoce niewystarczające.

c) Zmniejszone z 2 projektów do 1, ponieważ takich projektów nie ma dużo na rynku.

d) bez zmian

e) bez zmian

f) bez zmian

Powyższe zmiany, jeśli zaakceptowane, naturalnie należałoby wprowadzić również w Załączniku nr 2 (i we wszystkich innych miejscach, gdzie są ponawiane).

KONIEC PROPONOWANEJ ZMIANY

➤ Odpowiedź Exatel na Pytanie 1:

Zamawiający nie wyraża zgody na zaproponowane zmiany.

➤ Pytanie 2

Chciałbym również podpowiedzieć, że linia czasu dla zwycięzcy konkursu może być nie do zrealizowania. Uzyskanie dostępu do dokumentacji układu i płyty, którą Państwo poruszacie w dokumentacji (EK-U1-ZCU670-U2-G), potrafi zająć nawet 2 miesiące (wiemy to z doświadczenia). Wynika to z tego, że ten produkt jest pod ścisłą kontrolą eksportu. Poza uzyskaniem NDA z producentem, trzeba jeszcze przejść sprawdzenia i wypełnić trochę dokumentów. Te procedury niestety trwają. Nie jest to zapisane nigdzie w Państwa dokumentacji. Nie proponuję tutaj żadnej konkretnej zmiany, poza zwróceniem Państwa uwagi, żeby brak zapisu nie pokrzyżował Państwa planów co do linii czasu projektu.

➤ **Odpowiedź Exatel na Pytanie 2:**

Zamawiający posiada dwie płyty EK-U1-ZCU670-V2-G oraz dostęp do pełnej dokumentacji wraz ze wsparciem producenta. W ramach realizowanych prac Zamawiający udostępni Wykonawcy jedną z nich wraz z dokumentacją.

➤ **Pytanie 3**

Czy RoIP ma być tylko testem odbioru i nadawania danych po Ethernet, czy dane te mają być podawane na DAC, następnie odbierane przez ADC i nadawane ponownie po Ethernet? Innymi słowy, czy projekt w aktualnej formie zawiera dwie oddzielne części - Ethernet (RoIP) i osobno ADC/DAC bez połączenia pomiędzy nimi, czy mają one zostać połączone?

➤ **Odpowiedź Exatel na Pytanie 3:**

Zostają osobne dwie części oprogramowania w FPGA. Ze względu na ograniczenia projektowe przyjmuje się testy niezależne tzw. Interfejsu Północnego FPGA – ADC/ADC, źródło i odbiór zawsze znajduje się w FPGA oraz testu Interfejsu Południowego FPGA – SoC lub x86 (w zależności od wyniku prac E2) i Ethernet (RoIP) pętla daleka w sieci LAN.

➤ **Pytanie 4**

Czy płyta uruchomieniowa EK-U1-ZCU670-U2-G będzie dostarczona przez Zamawiającego, czy też musi być zakupiona przez Wykonawcę?

➤ **Odpowiedź Exatel na Pytanie 4:**

Będzie dostarczona przez Zamawiającego wraz z dokumentacją.

➤ **Pytanie 5**

Dodatkowo, wydaje się, że właściwym kodem tej płyty to EK-U1-ZCU670-**V**2-G. Czy możemy prosić o potwierdzenie, co do tego kodu?

➤ **Odpowiedź Exatel na Pytanie 5:**

Tak, poprawnym kodem płyty jest EK-U1-ZCU670-V2-G, w dokumentacji konkursu jest literówka i zamiast V wpisano U.