



Dofinansowane przez
Unię Europejską

***Załącznik nr 1 do Zaproszenia – Opis Przedmiotu Umowy
Konkurs Ofert Nr 17/2025***

Przedmiotem Umowy jest **realizacja przez Podwykonawcę zadań w projekcie „SAT2Rescue”** - Bezpieczne rozwiązanie oparte na SATCOM usprawniające działania służb ratowniczych oraz misji poszukiwawczo-ratowniczych (Secured SATCOM-based solution enhancing emergency services and search & rescue missions), współfinansowanego ze środków Unii Europejskiej („UE”) reprezentowanej przez Agencję Unii Europejskiej ds. Programu Kosmicznego (European Union Agency for the Space Programme - organ delegowany przez Komisję Europejską) (Project 101180110 — SAT2Rescue — HORIZON-EUSPA-2023-SPACE, 4.10.2024 r.).

Projekt SAT2Rescue, w ramach którego Zamawiający będzie realizował Przedmiot Umowy, ma za zadanie wprowadzić nowoczesne rozwiązanie dla służb ratowniczych oraz dla zastosowań telemedycznych w ramach pomocy humanitarnej, z wykorzystaniem infrastruktury i usług GOVSATCOM – inicjatywy Unii Europejskiej zapewniającej bezpieczną komunikację satelitarną dla rządów i organizacji.

1. Zakres Przedmiotu Umowy w ramach prowadzonego postępowania zakupowego:

- 1) **Etap 1 (E1)** - Konfiguracja środowiska deweloperskiego VIVADO pod płytę uruchomieniową EK-U1-ZCU670-V2-G (dalej w skrócie DevB) z użyciem programatora Smartlynq oraz dedykowanego PC. Przygotowanie produkcyjnego środowiska pracy.

1.1. Zakres prac: Opracowanie demonstracyjnej aplikacji opracowanej w języku VHDL przeprowadzenie procesu syntezy, diagnostyki, uruchomienie debuggera obwodowego, wgranie bitstreamu na płytę DevB. Uruchomienie aplikacji demonstracyjnej, której zadaniem jest pokazanie prawidłowego scenariusza działania polegającego na ustawianiu portów GPIO według dowolnie przyjętego wzoru oraz zmian na liniach GPIO zgodnych z założonym timingiem pozwalającym na weryfikację z użyciem oscyloskopu serwisowego cztero-kanalowego i pasmem 60MHz/1GS/s.

1.2. Produkt końcowy: Instrukcja stanowiskowa pozwalająca na pełne odtworzenie procesu wraz z opisanym kodem VHDL aplikacji demonstracyjnej. Raport podsumowujący uzyskane wyniki działania aplikacji testowej wraz z wynikami pomiarów oscyloskopowych.

- 2) **Etap 2 (E2)** - Opracowanie analizy wykonalności dla dwóch różnych wersji architektury systemowej tj. z systemem operacyjnym wbudowanym w SoC na płycie DevB oraz dla wersji z zewnętrznym PC na architekturze x86 zintegrowanym z DevB za pomocą dostępnych interfejsów systemowych np. PCIExpress lub Ethernet.

2.1. Zakres prac: Na podstawie analiz i/lub testów wyłonienie optymalnej architektury rozwiązania opartej na wspieranej przez producenta Xilinx/AMD dystrybucji Linuxa tj. Petalinux plus ewentualnie Yocto lub na całkowicie zewnętrznym PC x86 z klasyczną dystrybucją Linuxa Ubuntu. Zagadnieniem do analizy jest możliwość rozwijania aplikacji sieciowych, dostęp do zasobów, wydajności, bibliotek, wad i zalet pracy host-target, interworkingu z FPGA a aplikacją sieciową w systemie Linux. Celem jest znalezienie optymalnej i spełniającej wymagania wydajnościowe oraz aplikacyjne rozwiązania a w szczególności dające możliwości łatwego rozwoju aplikacji komunikacyjnej wykorzystującej protokół UDP i interfejsy Ethernet min. 1Gbps.

2.2. Produkt końcowy: Raport analityczny wraz z uzasadnieniem ze wskazaniem docelowej architektury sprzętowej oraz środowiska rozwoju aplikacji sieciowej.

3) **Etap 3 (E3)** - Uruchomienie aplikacji sieciowej dostarczonej przez Zamawiającego na platformie sprzętowej wynikającej z realizacji Etapu 2.

3.1 Zakres prac: Uruchomienie aplikacji sieciowej z postaci kodu źródłowego aplikacji RoIP (C/Python). Integracja z FPGA, realizacja łańcucha transmisyjnego w dalekiej pętli poprzez sieć IP. Źródłem danych testowych i punktem odbiorczym z pętli dalekiej oraz testów spójności danych, opóźnień, błędów transmisji UDP jest FPGA.

3.2 Produkt końcowy: Raport z testów w środowisku z pętla daleką zawierający wyniki spójności danych, opóźnień i błędów transmisji zarejestrowanych przez aplikację w FPGA DevB.

4) **Etap 4 (E4)** - Integracja przetworników ADC/DAC z FPGA.

4.1 Zakres prac: W oparciu o płytę nasadową z zestawu DevB uruchomić loopback w torze analogowym w trybie pętli bliskiej tj. zapętlać sygnał analogowy z wyjścia DAC na wejście ADC. Sygnał RF szerokopasmowy na częstotliwości nośnej 1,5 GHz i szerokości pasma około 5MHz, źródłem sygnału będzie aplikacja na FPGA. Należy dobrać optymalne ustawienia przetworników DAC i ADC. Wykonać ocenę wierności przetwarzania sygnału w takim łańcuchu, ocenić wpływ błędów wynikających ze sprzętu oraz ustawień parametrów przetwarzania.

4.2 Produkt końcowy: Raport pomiarowy przedstawiający błędy wierności przetwarzania w pętli bliskiej w zależności od ustawień przetworników oraz ilości bitów użytych na przetworzenie sygnału. Przedstawienie optymalnej konfiguracji przetwarzania tj. ilości użytych bitów w stosunku do wierności przetwarzania sygnału testowego.



Dofinansowane przez
Unię Europejską

- 5) **Etap 5 (E5)** - Implementacja integracji z zewnętrznym synchronizatorem czasu systemowego w oparciu o urządzenie precyzyjnego czasu OCX tj. np. urządzenie referencyjne OSA5410XG.

5.1. Zakres prac:

Integracja urządzenia, np. OSA5410XG (urządzenie i wsparcie techniczne dostarcza Zamawiający) z płytą DevB. Mogą być użyte dostępne interfejsy pomiędzy DevB a OSA5410XG tj. sygnał 10MHz, 1PPS, IRIG-B, Ethernet czy dedykowane rozwiązanie sprzętowe jako dodatkowy element. Opracowanie metody oceniającej dokładność synchronizacji oraz na tej podstawie dokonanie pomiarów.

5.2. Produkt końcowy: Raport z wyników synchronizacji DevB z użyciem źródła o wysokiej dokładności tj. np. OSA5410XG.